



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Frankowsky, et al. Art Unit : 2811
Serial No. : 10/630,632 Examiner : Unknown
Filed : July 29, 2003
Title : SEMICONDUCTOR CIRCUIT MODULE AND METHOD FOR FABRICATING
SEMICONDUCTOR CIRCUIT MODULES

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from German
Application No. 102 34 951.7, filed July 31, 2002. A certified copy of this application is
submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: 11/3/03

Faustino A. Lichauco
Reg. No. 41,942

Fish & Richardson P.C.
225 Franklin Street
Boston, MA 02110-2804
Telephone: (617) 542-5070
Facsimile: (617) 542-8906

20749532.doc

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being
deposited with the United States Postal Service as first class mail with
sufficient postage on the date indicated below and is addressed to the
Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

November 5, 2003
Date of Deposit

Signature Jeanine Busby

Jeanine Busby
Typed or Printed Name of Person Signing Certificate

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 34 951.7

Anmeldetag: 31. Juli 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Halbleiterschaltungsmodul und Verfahren zur
Herstellung von Halbleiterschaltungsmodulen

IPC: H 01 L 21/60

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 17. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to be 'Agurks', written over the text 'Im Auftrag'.

Agurks

Halbleiterschaltungsmodul und Verfahren zur Herstellung von Halbleiterschaltungsmodulen

- 5 Die vorliegende Erfindung betrifft ein Halbleiterschaltungsmodul und ein Verfahren zur Herstellung von Halbleiterschaltungsmodulen.

Halbleitereinrichtungen, z.B. für den Einsatz in Rechneranlagen bzw. deren Speichereinrichtungen, sind üblicherweise in Modulform aufgebaut. Ein herkömmliches Speichermodul weist im wesentlichen zwei Hauptgruppen von Komponenten auf. Zum einen aktive und passive elektrische Schaltungskomponenten und zum anderen eine Schaltungsplatine (printed circuit board). Die Schaltungsplatine dient als Träger für die Schaltungseinrichtungen, sieht Verbindungselemente wie Leiterbahnen vor und stellt einen Anschluss nach außen bereit.

Aktive elektrische Schaltungseinrichtungen, wie z.B. Speicherchips, sind einzelne, verpackte (packaged) Chips. Innerhalb der Verpackung wird die folgende Funktionen realisiert: Verbindung zwischen Kontakt Pads der Chips zu einer Art Umverdrahtung (Leadframe, Interposer Board). Dies kann durch Bondprozesse erfolgen oder durch Lotkügelchen als Interconnect Element. Diese Umverdrahtung dient als Kontaktelement für das nächste Architekturniveau - Verbindung zur Leiterplatte der Anwendung. Passive Schaltungskomponenten wie z.B. Widerstände, Kondensatoren, usw. dienen im wesentlichen der äußeren Beschaltung der aktiven Schaltungseinrichtungen.

30

Elektrische Schaltungskomponenten werden beim Modulzusammenbau auf eine Platine gelötet. Aus dem Einsatz herkömmlich verpackter aktiver Schaltungseinrichtungen resultiert eine

verhältnismäßig geringe Bauteildichte und die Dicke der Module liegt im Bereich von etwa 2 bis 3 mm.

In Figur 12 ist schematisch das Bestücken einer Schaltungsplatine 29 mit aktiven und passiven Schaltungseinrichtungen 12, 13 dargestellt. Aktive Schaltungskomponenten 12, wie z.B. Memorychips, sitzen auf einem Interposer Substrat 30, welches zur elektrischen Kontaktierung mit der Leiterplatte 29 über eine Anschlusseinrichtung 28, z.B. Lotkugeln auf Löt pads, verfügt. Passive Schaltungskomponenten 13, wie z.B. Widerstände, Kondensatoren, usw., werden ebenfalls auf der Leiterplatte 29 vorgesehen.

Figur 13 zeigt ein übliches Multi-Chipmodul, welches aktive und passive Schaltungseinrichtungen 12, 13 auf einer Schaltungsplatine 29 aufweist. Die aktiven Schaltungseinrichtungen bzw. Chips 12 sind in Flip Chip Technologie auf Interposer Substraten 30 montiert (und zusätzlich underfilled = angeklebt wegen der thermomechanischen Stabilität). Die Packages bestehend aus Chips 12 und Interposer Substrat 30 sind z.B. über Lotkugeln 28 auf dem Modulträger 29 befestigt. Passive Schaltungseinrichtungen 13 sind auf die Platine 29 gelötet, welche eine große Anzahl von elektrischen Verbindungen wie Leiterbahnen zwischen einzelnen Chips 12 bzw. Chips 12 und passiven Schaltungselementen 13 aufweisen. Eine solche übliche Anordnung weist folglich eine hohe Gesamtdicke mindestens $d_1 + d_2 + d_3$ bei lediglich einseitiger Bestückung auf, welches zu einer Moduldicke von mehr als 2 mm führt, und resultiert darüber hinaus in einer niedrigen Bauteildichte, da vor allem Interposer Substrat und Leiterbahnen einen großen Flächenbedarf haben.

Es ist daher Aufgabe der vorliegenden Erfindung, ein Halbleiterschaltungsmodul und ein Verfahren zur Herstellung von Halbleiterschaltungsmodulen bereitzustellen, womit dünne Multi-Chipmodule mit hoher Bauteildichte bereitgestellt werden können.

Erfindungsgemäß wird diese Aufgabe durch das in Anspruch 1 angegebene Verfahren zur Herstellung von Halbleiterschaltungsmodulen und durch das Halbleiterschaltungsmodul nach Anspruch 12 gelöst.

Die der vorliegenden Erfindung zugrunde liegende Idee besteht im wesentlichen darin, alle Modulkomponenten, sowohl aktive als auch passive Schaltungseinrichtungen auf einer besonderen Montageebene - im weiteren Wafer genannt - vorzumontieren, wobei das Verpacken und der Modulzusammenbau in gemeinsamen Prozessschritten kombiniert werden, und ein Modulwafer gebildet wird.

Es ist zunächst technisch sinnvoll, diese neue Montageebene in der Form eines bisherigen Siliziumwafers zu gestalten. Das ermöglicht einen leichteren Zugang zu den notwendigen weiteren Prozessschritten der Dünnschichttechnologie (Metallisierung, Fotolithographie,...), deren Geräte bereits für die runden Wafer vorhanden sind. Das Verfahren ist aber nicht auf diese Form als Montageebene angewiesen. Größere, rechteckige Flächen sind effektiver und ebenfalls denkbar.

In der vorliegenden Erfindung wird das eingangs erwähnte Problem insbesondere dadurch gelöst, dass eine strukturierte Verbindungsschicht auf ein Transfersubstrat aufgebracht wird, auf welche aktive und/oder passive Schaltungseinrichtungen mit auf das Transfersubstrat weisenden Kontaktflächen auf die

strukturierte Verbindungsschicht aufgebracht werden und die Schaltungseinrichtungen miteinander mit einem Füllstoff zumindest zwischen den Schaltungseinrichtungen verbunden werden, woraufhin das Transfersubstrat entfernt wird und elektrische Verbindungseinrichtungen zum selektiven Kontaktieren der Kontaktflächen der Schaltungseinrichtungen aufgebracht werden.

Aufgrund minimaler Spalten zwischen den elektrischen Schaltungseinrichtungen wird eine kleinstmögliche Fläche in Anspruch genommen, und damit die Bauteildichte maximiert. Darüber hinaus können auf diese Weise ultradünne Module, z.B. mit 100 µm oder weniger, aufgrund des Einsatzes unverpackter aktiver Schaltungseinrichtungen erzeugt werden, welche ein Minimum an Volumen, Gewicht und elektrischen Verbindungsebenen aufweisen.

Da kurze Verbindungsleitungen auf den Modulen auftreten, fallen parasitäre Effekte, wie z.B. die kapazitive Kopplung eines unerwünschten Signals auf eine Verbindungsleitung klein aus, was in einer guten elektrischen Leistungsfähigkeit resultiert. Des weiteren kann auf einen Lötprozess zur Herstellung des Halbleiterschaltungsmoduls verzichtet werden.

Als weiterer Vorteil ist eine sogenannte kalte und grüne Ver- bzw. Bearbeitung des Halbleiterschaltungsmoduls im Herstellungsprozess möglich, welcher auf einer funktionsgeprüften Halbleitereinrichtung (known good die) basiert. Auch ist ein Stapeln von Modulen möglich.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des jeweiligen Erfindungsgegenstandes.

Gemäss einer bevorzugten Weiterbildung wird eine Schutzeinrichtung zumindest über einem Teil der elektrischen Verbindungseinrichtung aufgebracht. Dadurch wird die elektrische Verbindungseinrichtung mechanisch vor äusseren Einflüssen geschützt.

Gemäss einer weiteren bevorzugten Weiterbildung wird eine Anschlusseinrichtung in von der Schutzeinrichtung unbedeckten Bereichen vorgesehen.

10

Gemäss einer weiteren bevorzugten Weiterbildung wird die strukturierte Verbindungsschicht in einem Print-Prozess aufgebracht.

15 Gemäss einer weiteren bevorzugten Weiterbildung werden die Schaltungseinrichtungen derart auf der strukturierten Verbindungsschicht angeordnet, dass die elektrischen Kontaktflächen der Schaltungseinrichtungen nicht auf der strukturierten Verbindungsschicht zu liegen kommen.

20

Gemäss einer weiteren bevorzugten Weiterbildung wird die Verbindungsschicht erst ausgehärtet, nachdem die Schaltungseinrichtungen aufgebracht sind.

25 Gemäss einer weiteren bevorzugten Weiterbildung wird während und/oder nach dem mechanischen Verbinden der Schaltungseinrichtungen miteinander eine Kapselung der Schaltungseinrichtungen aufgebracht.

30 Gemäss einer weiteren bevorzugten Weiterbildung erfolgt das Aufbringen des Füllstoffs und/oder der Kapselung in einem Print-, Mold- (Kunststoffspritzen) oder Gussprozess.

Gemäss einer weiteren bevorzugten Weiterbildung wird der Füllstoff und/oder die Kapselung in einem Aushärtungsprozess gehärtet, bevor das Transfersubstrat entfernt wird.

- 5 Gemäss einer weiteren bevorzugten Weiterbildung ist die elektrische Verbindungseinrichtung in mindestens einer leitfähigen Schicht vorgesehen und weist Leiterbahnen in x-Richtung und/oder Leiterbahnen in y-Richtung mit zwischenliegender Isolierschicht bei Mehrschichtigkeit auf, welche jeweils selektiv über Vias miteinander verbunden sind.

- 10 Gemäss einer weiteren bevorzugten Weiterbildung werden mehrere Halbleiterschaltungsmodule in einem Parallelprozess auf Waferenebene hergestellt, welche in einem nachfolgenden Prozessschritt in Halbleiterschaltungsmodulstreifen oder einzelne Halbleiterschaltungsmodule separiert werden.

- 20 Gemäss einer weiteren bevorzugten Weiterbildung besteht die Verbindungsebene aus einem dielektrischen Material, wie einem Polymer, Epoxydharz, Klebstoff, Silikon oder Polyimid.

- 25 Gemäss einer weiteren bevorzugten Weiterbildung besteht der Füllstoff aus einem nicht leitfähigen, aushärtbaren Material, wie einem Polymer, Kleber oder Silikon.

- 30 Gemäss einer weiteren bevorzugten Weiterbildung besteht die Kapselung aus dem gleichen Material wie der Füllstoff oder der Füllstoff weist zusätzliche Eigenschaften auf.

- 35 Gemäss einer weiteren bevorzugten Weiterbildung weist die Schutzeinrichtung eine Passivierungsschicht aus einem nicht leitfähigen Material, wie einem Polymer, auf.

Gemäss einer weiteren bevorzugten Weiterbildung weist das Halbleiterschaltungsmodul mindestens einen leitfähigen Durchgang von der Vorderseite auf die eingekapselte Rückseite auf, über welchen ein weiteres Halbleiterschaltungsmodul, insbesondere über ein leitfähiges Klebemittel, anschliesbar ist.

Gemäss einer weiteren bevorzugten Weiterbildung weist die Anschlusseinrichtung einen Randstecker oder mit Lotkugeln versehene Löt pads auf.

10

Gemäss einer weiteren bevorzugten Weiterbildung weist das Halbleiterschaltungsmodul eine Gesamtdicke von weniger als 200 μm , insbesondere eine Gesamtdicke von etwa 100 μm , auf.

15 Ein Ausführungsform der Erfindung ist in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

Es zeigen:

20

Figur 1A, B die schematische Darstellung eines Ausschnitts einer Anordnung nach einem ersten Verfahrensschritt gemäss einer Ausführungsform der vorliegenden Erfindung, wobei Figur 1A einen Querschnitt und Figur 1B eine Draufsicht verdeutlicht;

25

Figur 2A, B die schematische Darstellung eines Ausschnitts einer Anordnung nach einem weiteren Verfahrensschritt gemäss einer Ausführungsform der vorliegenden Erfindung, wobei Figur 2A einen Querschnitt und Figur 2B eine Draufsicht verdeutlicht;

30

Figur 3A, B die schematische Darstellung eines Ausschnitts einer Anordnung nach einem weiteren Verfahrensschritt gemäss einer Ausführungsform der vorliegenden Erfindung, wobei Figur 3B die Anordnung gemäss Figur 3A nach einem direkt nachfolgenden Verfahrensschritt darstellt;

Figur 4 die schematische Darstellung eines Ausschnitts einer Anordnung bei dem Verfahrensschritt des Entferns des Transfersubstrats gemäss einer Ausführungsform der vorliegenden Erfindung;

Figur 5 eine schematische Darstellung eines Ausschnitts einer Anordnung nach einem weiteren Verfahrensschritt gemäss einer Ausführungsform der vorliegenden Erfindung;

Figur 6A, B die schematische Darstellung eines Ausschnitts einer Anordnung nach einem weiteren Verfahrensschritt gemäss einer Ausführungsform der vorliegenden Erfindung, wobei Figur 6A einen Querschnitt und Figur 6B einen Längsschnitt (90° gedreht) darstellt;

Figur 7 die schematische Darstellung einer Draufsicht zur Erläuterung einer Ausführungsform der vorliegenden Erfindung;

Figur 8A, B, C die schematische Darstellung einer Anordnung zur Erläuterung einer Ausführungsform der vorliegenden Erfindung, wobei Figur 8A eine Draufsicht, Figur 8B einen Querschnitt und Fi-

gur 8C einen Längsschnitt der Anordnung darstellt;

Figur 9A, B

5

die schematische Darstellung einer Anordnung gemäss einer Ausführungsform der vorliegenden Erfindung im Längsschnitt, wobei Figur 9A ein einzelnes Modul und Figur 9B zwei miteinander kontaktierte Module darstellt;

Figur 10A, B

10

die schematische Darstellung einer Anordnung gemäss einer Ausführungsform der vorliegenden Erfindung, wobei Figur 10A eine Draufsicht und Figur 10B einen Längsschnitt verdeutlicht;

Figur 11A, B

15

die schematische Darstellung einer Anordnung gemäss einer weiteren Ausführungsform der vorliegenden Erfindung, wobei Figur 11A eine Draufsicht und Figur 11B einen Längsschnitt darstellt;

20

Figur 12

eine schematische Darstellung zur Erläuterung einer üblichen Anordnung;

Figur 13

25

die schematische Darstellung einer üblichen Multi-Chip-Anordnung; und

Figur 14A, B

30

ein Ablaufdiagramm des Herstellungsprozesses zur Erläuterung einer Ausführungsform der vorliegenden Erfindung, wobei Figur 14A ein herkömmliches Herstellungsverfahren und Figur 14B ein Herstellungsverfahren gemäss einer Ausführungsform der vorliegenden Erfindung darstellt.

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Bestandteile.

5 In Figur 1A ist ein Transfersubstrat 10 z.B. aus Glas, Metall oder einem Polymer dargestellt, auf welches in einem Print-Prozess eine strukturierte dielektrische Verbindungsebene 11 aufgebracht ist. Die zu diesem Zeitpunkt noch nicht ausgehärtete, folglich noch klebrige dielektrische Verbindungsebene 10 11 besteht z.B. aus einem Polymer, einem Epoxydharz, einem Klebstoff, Silikon oder einem Polyimid.

Figur 1B zeigt das Transfersubstrat 10 mit darauf aufgebracht-ten einzelnen Verbindungsflächen 11 der Verbindungsebene 11 15 in einer Draufsicht, wobei das Transfersubstrat rechteckig ausgeführt ist.

In Figur 2A sind auf das Transfersubstrat 10 und die strukturierte Verbindungsebene 11 sowohl aktive als auch passive 20 Schaltungseinrichtungen 12, 13 aufgebracht. Die Schaltungseinrichtungen 12, 13 sind derart in einer vorbestimmten Lage auf die Verbindungsebene aufgebracht, dass die Kontaktflächen 12', 13' zum elektrischen Kontaktieren der Schaltungseinrichtungen 12, 13 in Richtung des Transfersubstrats weisen und 25 auf Lücken bzw. Aussparungen in der strukturierten Verbindungsebene 11 fallen. Die aktiven Schaltungseinrichtungen 12 bestehen aus funktionsüberprüften Halbleitereinrichtungen, wie z.B. Speichermodulen, welche genau wie die passiven Schaltungseinrichtungen 13 (Widerstände, Kondensatoren, ...) 30 z.B. in einem die-bonding oder pick and place-Prozess auf den ungehärteten Kleber 11 auf dem Transfersubstrat 10 angeordnet werden.

In diesem Verfahrensschritt wird die Geometrie, d.h. die Zuordnung der einzelnen Schaltungseinrichtungen zueinander festgelegt. Die Komponenten 12, 13 werden so nah als möglich aneinander angeordnet, um eine kleinstmögliche Fläche in Anspruch zu nehmen. Dann wird die dielektrische Verbindungsschicht 11 z.B. thermisch oder mit UV-Strahlung ausgehärtet, so dass die Lage der Schaltungseinrichtungen 12, 13 zueinander fixiert wird.

10 Figur 2B zeigt die Draufsicht einer mit Schaltungseinrichtungen 12, 13 versehenen Verbindungsebene 11 auf dem Transfer-substrat 10.

In Figur 3A sind die Spalten zwischen den Halbleitereinrichtungen 12 und den passiven Schaltungseinrichtungen 13 mit einem Füllstoff 14 ausgefüllt. Der Füllstoff 14 z.B. aus einem Polymer, einem Klebstoff, Silikon oder ähnlichem wird vorzugsweise in einem Print- oder Guss-Prozess aufgebracht bzw. eingebracht und anschließend ausgehärtet.

20

Figur 3B stellt eine Anordnung gemäss Figur 3A dar, in welcher über den Schaltungseinrichtungen 12, 13 und den mit Füllstoff 14 versehenen Spalten zwischen den Schaltungseinrichtungen 12, 13 eine Kapselung 15 vorgesehen ist. Diese rückseitige Einkapselung 15 kann sowohl im selben Schritt wie das Einbringen des Füllstoffes 14 erfolgen (in der gleichen Prozesseinrichtung bzw. -kammer), jedoch auch nachträglich erfolgen, wenn der Füllstoff 14 noch zusätzliche Eigenschaften aufweisen soll, welche für die Kapselung 15 nicht vorgesehen sind.

30

Figur 4 verdeutlicht das Entfernen des Transfersubstrats 10 von dem ausgehärteten Verbund aus strukturierter Verbindungs-

ebene 11, aktiven Schaltungseinrichtungen 12, passiven Schaltungseinrichtungen 13, mit Füllstoff 14 versehenen Spalten zwischen den Schaltungseinrichtungen 12, 13 und der Kapselung 15. Dadurch werden die Kontaktflächen 12', 13' der Schaltungseinrichtungen 12, 13 wieder zugänglich.

In Figur 5 ist der Verbund gemäss Figur 4 in einem Prozessschritt mit einer elektrischen Verbindungseinrichtung 16 versehen. Die elektrische Verbindungseinrichtung 16 besteht beispielsweise aus strukturierten, aufgesputterten oder elektrochemisch plattierten Kupfer-, Nickel- oder Goldleiterbahnen, welche zwischen einzelnen Chips 12, Chips 12 und passiven Schaltungseinrichtungen 13 und/oder mit einer Anschlusseinrichtung 19 verbunden aufgebracht sind. Die strukturierten Leiterbahnen 16 verlaufen zwischen den Kontaktflächen 12', 13' über der strukturierten, dielektrischen Verbindungsschicht 11.

Die elektrische Verbindungseinrichtung 16 ist vorzugsweise ein doppelschichtiges Leitungssystem mit einer dielektrischen Schicht zwischen zwei strukturierten, leitfähigen Schichten, wobei die leitfähigen Schichten eine für Verbindungen bzw. Leiterbahnen in x-Richtung, eine für Verbindungen bzw. Leiterbahnen in y-Richtung selektiv über Vias in der dielektrischen Schicht, z.B. aus Polyimid, in elektrischem Kontakt stehen. In Abhängigkeit von der Komplexität des Moduls muss eine oder mehrere elektrische Verbindungseinrichtungen 16 in verschiedenen Ebenen zum selektiven, elektrischen Verbinden der Komponenten 12, 13 miteinander gebildet werden.

30

Figur 6A zeigt die erfindungsgemäße Anordnung gemäß Figur 5, jedoch mit einer Passivierungsschicht 17 über der elektrischen Verbindungseinrichtung 16. Die Schutzvorrichtung 17 ü-

ber der Vorderseite der Module, welche z.B. in einem Print-Prozess aus einem Polymer bestehend aufgebracht ist, bedeckt die gesamte Vorderseite des Halbleiterschaltungsmoduls 31 mit Ausnahme einer Anschlusseinrichtung 19 bzw. Anschlusskontak-

5 ten, welche in Figur 6B dargestellt ist. Figur 6B zeigt die Anordnung gemäss Figur 6A, jedoch nicht im Querschnitt, sondern in einem Längsschnitt (um 90° gedreht).

In Figur 7 sind mehrere Halbleiterschaltungsmodulstreifen 18

10 in einer Draufsicht dargestellt, welche zur Verdeutlichung von Umverdrahtungseinrichtungen 20 in x-Richtung bzw. Umverdrahtungseinrichtung 21 in y-Richtung als Teil der elektrischen Verbindungseinrichtung 16 dient.

Figur 8A zeigt einen Halbleiterschaltungsmodulstreifen 18 mit drei unterschiedlichen Abschnitten 22, 23, 24. Der Abschnitt 22 stellt ein passiviertes, bedecktes Modul mit einer Passivierungsschicht 17 dar, welche im Bereich 23 weggelassen wurde. Im Abschnitt 24 sind im wesentlichen die Chipflanken des

20 eingebetteten Chips zu sehen, da hier keine elektrische Verbindungsschicht 16 oder dielektrische Verbindungsebene 11 aufgebracht ist.

In Figur 9A ist der Längsschnitt eines Halbleiterspeichermoduls 31 dargestellt, in welchem ein leitfähiges Via 25, d.h. eine Durchkontaktierung von der Modulvorder- auf die Modulrückseite vorgesehen ist. Eine solche Durchkontaktierung 25 ermöglicht beispielsweise die elektrische Anbindung an ein zweites Halbleiterschaltungsmodul 31 über einen elektrisch

30 leitfähigen Klebstoff 26. Die mechanische Verbindung zwischen beiden Halbleiterschaltungsmodulen 31 erfolgt vorzugsweise über einen elektrisch nicht-leitfähigen Klebstoff 27 jeweils zwischen den rückseitigen Kapselungen 15 der Halbleiterschalt-

tungsmodule 31. Durch so ein doppelt gestapeltes Modul aus zwei Halbleiterschaltungsmodulen 31 lässt sich die Bauteildichte weiter erhöhen.

- 5 Figur 10A und B dienen der Verdeutlichung einer Anschlusseinrichtung 19 in Form einer Anschlussleiste bzw. eines Randsteckers.

Figur 11A zeigt einen Halbleiterschaltungsmodulstreifen 18
10 mit einer bezüglich Figur 10 alternativen Anschlusseinrichtung 28. Die auf Löt pads aufgebrachte Lotkugeln 28 stellen ein Optimum an Platzersparnis in x- bzw. y-Richtung dar, erhöhen jedoch die Moduldicke. Dadurch wird ein minimaler Flächenbedarf erreicht, der im wesentlichen der Fläche der akti-
15 ven und passiven Schaltungseinrichtungen 12, 13 entspricht.

Eine Anschlusseinrichtung 19 über Anschlusskontakte in Form eines Randsteckers lässt sich einfach bei der Bildung der elektrischen Verbindungseinrichtung 16 bzw. der Umverdrahtungseinrichtung 20, 21 herstellen, wenn die zuletzt aufge-
20 brachte Schicht eine harten Kontaktoberfläche, beispielsweise aus Gold, aufweist. Wenn ein solcher Randstecker außerhalb der Fläche angeordnet wird, welche die aktiven und passiven Schaltungseinrichtungen 12, 13 in einem eingekapselten Ab-
25 schnitt einnehmen, so vergrößert dies die Größe des Modulaufbaus.

In Figur 14A ist ein herkömmlicher Prozessablauf in der Herstellung eines Halbleiterschaltungsmoduls dargestellt. Auf
30 die eigentliche Waferherstellung folgt direkt der Wafertest, bevor einzeln aus dem Wafer separierte Chips gehäust werden (First Level Packaging). Diese verpackte Komponente muss nochmals auf ihre Funktion überprüft werden, bevor damit ein

Modulaufbau mit weiteren aktiven und passiven Schaltungseinrichtungen auf einer Leiterplatte erfolgen kann (Second Level Packaging). Ein abschließender Modultest gibt Auskunft über die Funktionsfähigkeit der Halbleiterschaltungseinrichtung.

In Figur 14B ist im Gegensatz dazu ein schematischer Prozessablauf gemäss einer Ausführungsform der vorliegenden Erfindung dargestellt. Hier wird nach der Waferherstellung bei einem umfassenden Wafertest eine positiv geprüfte und damit für funktionsfähig erachtete Halbleitereinrichtung in einem weiteren Schritt dieses geprüfte Halbleiterwafermodul weiterbearbeitet. Daran schliesst sich die Modulbildung an, welche mit Bezug auf die Figuren 1A bis 6B detailliert beschrieben ist, bevor ein solches Modul ebenfalls einen Modultest durchläuft. Dieser Prozessablauf basiert auf der Bekanntheit eines guten, d.h. geprüften Halbleiterplättchens bzw. -Chips (known good die).

Mit dieser Technologie sind sehr dünne Modulscheiben bei niedrigen Kosten herstellbar. Vias können in die Kapselung integriert werden und eine elektrische Verbindung von der Vordersite zur Rückseite des Substrats/Moduls ist möglich. Dies erlaubt ein Stapeln dieser Scheiben zu einem dreidimensionalen Modul. Wenn die Halbleitereinrichtungen bzw. Chips und passiven Schaltungseinrichtungen sehr dünn ausgeführt werden, können flexible, biegsame Module erreicht werden, welche sich einfach einer Gehäuseform anpassen können.

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

Obwohl der parallele Herstellungsprozess vieler Halbleiter-
schaltungsmodule auf einem runden Wafer zur Bearbeitung mit-
tels Anlagen der Dünnfilmtechnologie angedacht ist, sind auch
5 rechteckige Wafergestalten möglich, welche auf Maschinen be-
arbeitet werden können, die für Flachbildschirmanzeigen oder
Schaltungsplatinen eingesetzt werden. Andere Materialien zur
elektrischen/mechanischen Verbindung bzw. Anbindung der akti-
ven/ passiven Schaltungseinrichtungen aneinander sind eben-
10 falls vorstellbar. Auch ist die Erfindung nicht auf die ge-
nannten Anwendungsmöglichkeiten beschränkt.

Patentansprüche:

1. Verfahren zur Herstellung von Halbleiterschaltungsmodu-
5 len (31) mit den Schritten:

Aufbringen einer strukturierten Verbindungsschicht (11)
auf ein Transfersubstrat (10);

10 Aufbringen von aktiven Schaltungseinrichtungen (12)
und/oder passiven Schaltungseinrichtungen (13) mit auf
das Transfersubstrat (10) weisenden Kontaktflächen (12',
13') auf die strukturierte Verbindungsschicht (11);

15 Verbinden der Schaltungseinrichtungen (12, 13) miteinander
mit einem Füllstoff (14) zumindest zwischen den
Schaltungseinrichtungen (12, 13);

Entfernen des Transfersubstrats (10); und

20 Aufbringen von elektrischen Verbindungseinrichtungen
(16) zum selektiven Kontaktieren der Kontaktflächen
(12', 13') der Schaltungseinrichtungen (12, 13) miteinander.

25 2. Verfahren nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
dass eine Schutzeinrichtung (17) zumindest über einem
Teil der elektrischen Verbindungseinrichtung (16) aufge-
30 bracht wird.

3. Verfahren nach Anspruch 2,
d a d u r c h g e k e n n z e i c h n e t ,

dass eine Anschlusseinrichtung (19, 28) in von der Schutz-
einrichtung (17) unbedeckten Bereichen (23) vorge-
sehen wird.

- 5 4. Verfahren nach Anspruch 1 bis 3,
 d a d u r c h g e k e n n z e i c h n e t ,
 dass die strukturierte Verbindungsschicht (11) in einem
 Print-Prozess aufgebracht wird.
- 10 5. Verfahren nach einem der vorangehenden Ansprüche,
 d a d u r c h g e k e n n z e i c h n e t ,
 dass die Schaltungseinrichtungen (12, 13) derart auf der
 strukturierten Verbindungsschicht angeordnet werden,
 dass die elektrischen Kontaktflächen (12', 13') der
15 Schaltungseinrichtungen (12, 13) nicht auf der struktu-
 rierten Verbindungsschicht (11) zu liegen kommen.
6. Verfahren nach einem der vorangehenden Ansprüche,
 d a d u r c h g e k e n n z e i c h n e t ,
20 dass die Verbindungsschicht (11) erst ausgehärtet wird,
 nachdem die Schaltungseinrichtungen (12, 13) aufgebracht
 sind.
7. Verfahren nach einem der vorangehenden Ansprüche,
25 d a d u r c h g e k e n n z e i c h n e t ,
 dass während und/oder nach dem mechanischen Verbinden
 der Schaltungseinrichtungen (12, 13) miteinander eine
 Kapselung (15) der Schaltungseinrichtungen (12, 13) auf
 der von den Kontaktflächen (12', 13') abgewandten Seite
30 aufgebracht wird.
8. Verfahren nach einem der vorangehenden Ansprüche,
 d a d u r c h g e k e n n z e i c h n e t ,

dass das Aufbringen des Füllstoffs (14) und/oder der Kapselung (15) in einem Print- oder Guss-Prozess erfolgt.

- 5 9. Verfahren nach einem der vorangehenden Ansprüche,
 d a d u r c h g e k e n n z e i c h n e t ,
 dass der Füllstoff (14) und/oder die Kapselung (15) in
 einem Aushärtungsprozess gehärtet wird bevor das Trans-
 fersubstrat (10) entfernt wird.

10

10. Verfahren nach einem der vorangehenden Ansprüche,
 d a d u r c h g e k e n n z e i c h n e t ,
 dass die elektrische Verbindungseinrichtung (16) in min-
 destens einer leitfähigen Schicht (20, 21) vorgesehen
15 ist und Leiterbahnen (20) in x- Richtung und/oder Lei-
 terbahnen (21) in y- Richtung mit zwischenliegender Iso-
 lierschicht bei Mehrschichtigkeit aufweist, welche je-
 weils selektiv über Vias (25) miteinander verbunden
 sind.

20

11. Verfahren nach einem der vorangehenden Ansprüche,
 d a d u r c h g e k e n n z e i c h n e t ,
 dass mehrere Halbleiterschaltungsmodule (31) in einem
 Parallelprozess, , hergestellt werden, welche in einem
25 nachfolgenden Prozessschritt in Modulstreifen (18) oder
 einzelne Halbleiterschaltungsmodule (31) separiert wer-
 den.

25

12. Halbleiterschaltungsmodul (31) mit :

30

einer strukturierten Verbindungsschicht (11);

aktiven Schaltungseinrichtungen (12) und/oder passiven Schaltungseinrichtungen (13) mit in Richtung der Verbindungsschicht (11) weisenden Kontaktflächen (12', 13') auf der strukturierten Verbindungsschicht (11);

5

einem Füllstoff (14) zumindest zwischen den einzelnen Schaltungseinrichtungen (12, 13) zum Verbinden der Schaltungseinrichtungen (12, 13) miteinander; und

10

einer elektrischen Verbindungseinrichtung (16) zum selektiven Kontaktieren der Kontaktflächen (12', 13') der Schaltungseinrichtungen (12, 13) miteinander.

13. Halbleiterschaltungsmodul nach Anspruch 12,

15

d a d u r c h g e k e n n z e i c h n e t ,
dass das Halbleiterschaltungsmodul (31) eine Schutz-
einrichtung (17) zumindest über einem Teil der elektrischen
Verbindungseinrichtung (16) aufweist.

20 14. Halbleiterschaltungsmodul nach Anspruch 13,

d a d u r c h g e k e n n z e i c h n e t ,
dass das Halbleiterschaltungsmodul (31) eine Anschluss-
einrichtung (19, 28) in von der Schutzeinrichtung (17)
unbedeckten Bereichen (23) aufweist.

25

15. Halbleiterschaltungsmodul nach Anspruch 12 bis 14,

d a d u r c h g e k e n n z e i c h n e t ,
dass die aktiven Schaltungseinrichtungen (12) bereits
positiv auf Funktion geprüfte Halbleitereinrichtungen
30 (12) aufweisen.


16. Halbleiterschaltungsmodul nach Anspruch 12 bis 15,

d a d u r c h g e k e n n z e i c h n e t ,

dass eine Kapselung (15) der Schaltungseinrichtungen (12, 13) auf der von den Kontaktflächen (12', 13') abgewandten Seite vorgesehen ist.

- 5 17. Halbleiterschaltungsmodul nach Anspruch 12 bis 16,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Verbindungsebene (11) aus einem dielektrischen Material wie einem Polymer, Epoxydharz, Klebstoff, Silikon oder Polyimid besteht.


10

- 
18. Halbleiterschaltungsmodul nach Anspruch 12 bis 17,
d a d u r c h g e k e n n z e i c h n e t ,
dass der Füllstoff (14) aus einem nicht leitfähigen, aushärtbaren Material wie einem Polymer, Kleber oder Silikon besteht.

15

19. Halbleiterschaltungsmodul nach Anspruch 18,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Kapselung (15) aus dem gleichen Material besteht wie der Füllstoff (14), oder der Füllstoff (14) weist zusätzlichen Eigenschaften auf.

20

- 
20. Halbleiterschaltungsmodul nach Anspruch 12 bis 19,
d a d u r c h g e k e n n z e i c h n e t ,
dass die elektrische Verbindungseinrichtung (16) in mindestens einer leitfähigen Schicht (20, 21) vorgesehen ist und Leiterbahnen (20) in x- Richtung und/oder Leiterbahnen (21) in y- Richtung mit zwischenliegender Isolierschicht bei Mehrschichtigkeit aufweist, welche jeweils über Vias (25) selektiv miteinander verbunden sind.

25

30

21. Halbleiterschaltungsmodul nach Anspruch 12 bis 20,

d a d u r c h g e k e n n z e i c h n e t ,
dass die Schutzeinrichtung (17) eine Passivierungs-
schicht (17) aus einem nicht leitfähigen Material wie
einem Polymer aufweist.

5

22. Halbleiterschaltungsmodul nach Anspruch 12 bis 21,
d a d u r c h g e k e n n z e i c h n e t ,
dass das Halbleiterschaltungsmodul (31) mindestens einen
leitfähigen Durchgang (25) von der Vorderseite auf die
eingekapselte Rückseite (15) aufweist, über welchen ein
weiteres Halbleiterschaltungsmodul (31), insbesondere ü-
ber ein leitfähiges Klebemittel (26), anschließbar ist.

10

15

23. Halbleiterschaltungsmodul nach Anspruch 14 bis 22,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Anschlusseinrichtung (19, 28) einen Randstecker
(19) oder mit Lotkugeln (28) versehene Löt pads aufweist.

20

24. Halbleiterschaltungsmodul nach Anspruch 12 bis 23,
d a d u r c h g e k e n n z e i c h n e t ,
dass das Halbleiterschaltungsmodul (31) eine Gesamtdicke
von weniger als 200 µm, insbesondere eine Gesamtdicke
von etwa 100 µm, aufweist.

Zusammenfassung:

Die vorliegende Erfindung stellt ein Verfahren zur Herstellung von Halbleiterschaltungsmodulen (31) bereit, mit den

5 Schritten: Aufbringen einer strukturierten Verbindungsschicht (11) auf ein Transfersubstrat (10); Aufbringen von aktiven Schaltungseinrichtungen (12) und/oder passiven Schaltungseinrichtungen (13) mit auf das Transfersubstrat (10) weisenden Kontaktflächen (12', 13') auf die strukturierte Verbindungsschicht (11); Verbinden der Schaltungseinrichtungen (12, 13)

10 miteinander mit einem Füllstoff (14) zumindest zwischen den Schaltungseinrichtungen (12, 13); Entfernen des Transfersubstrats (10); und Aufbringen von elektrischen Verbindungseinrichtungen (16) zum selektiven Kontaktieren der Kontaktflächen (12', 13') der Schaltungseinrichtungen (12, 13) miteinander. Die vorliegende Erfindung stellt ebenfalls ein Halbleiterschaltungsmodul (31) bereit.

15

20 Fig. 6A

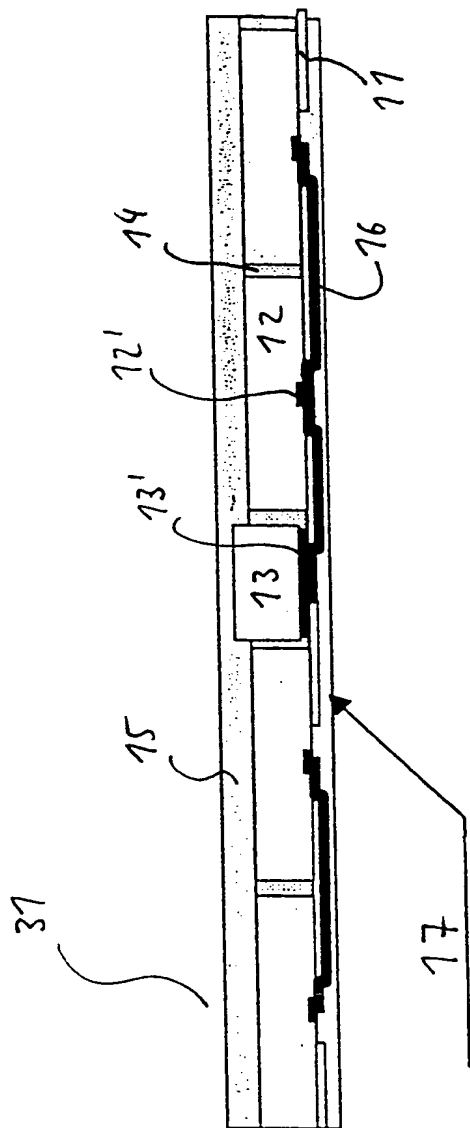


FIG. 6A

Bezugszeichenliste

- | | |
|-----|--|
| 10 | Transfersubstrat |
| 11 | dielektrische Verbindungsebene, z. B. aus Epoxydharz |
| 5 | 12 geprüfte Halbleitereinrichtung (known good die) |
| 12' | Kontaktfläche der geprüften Halbleitereinrichtung |
| 13 | passive Schaltungseinrichtung, z. B. Kondensator |
| 13' | Kontaktfläche der passiven Schaltungseinrichtung |
| 14 | Füllstoff, z. B. aus Polymer, Kleber, Silikon |
| 10 | 15 rückseitige Kapselung, z. B. aus Polymer, Kleber, Silikon |
| | 16 elektrische Verbindungseinrichtg., z. B. in x-/y-Richtung |
| | 17 vorderseitige Passivierungsschicht |
| 15 | 18 Halbleiterschaltungsmodulstreifen |
| | 19 Anschlusseinrichtung, z.B. Anschlusskontakte |
| 20 | 20 Umverdrahtungseinrichtung, z.B. in x-Richtung zw. 12 u. 13 |
| | 21 Umverdrahtungseinrichtung, z.B. in y-Richtung zu 19 |
| 20 | 22 passiviertes, bedecktes Modul mit Passivierungsschicht |
| | 23 Modulabschnitt ohne Passivierung bzw. Bedeckung |
| | 24 Abschnitt mit sichtbaren eingebetteten Chipflanken |
| | 25 leitfähiges Via, z. B. Durchkontaktierung von der Vorder- zur Rückseite des Chips |
| 25 | 26 elektrische Verbindung, z. B. aus leitfähigem Klebstoff |
| | 27 mechanische Verbindung, z. B. aus nicht-leitfähigem Kleber |
| | 28 Anschlusseinrichtung, z. B. Lotkugeln auf Löt pads |
| | 29 Schaltungsplatine (printed circuit board) |
| 30 | 30 Interposer Substrat für aktive/passive Schaltungseinrichtungen |
| | 31 Halbleiterschaltungsmodul |

- d1 Dicke der Platine, z.B. 800 μm bis 1200 μm
- d2 Dicke des angeschlossenen Interposer Substrats, z.B. 400 μm bis 1000 μm
- d3 Dicke des angeschlossenen Chips, z.B. größer 300 μm

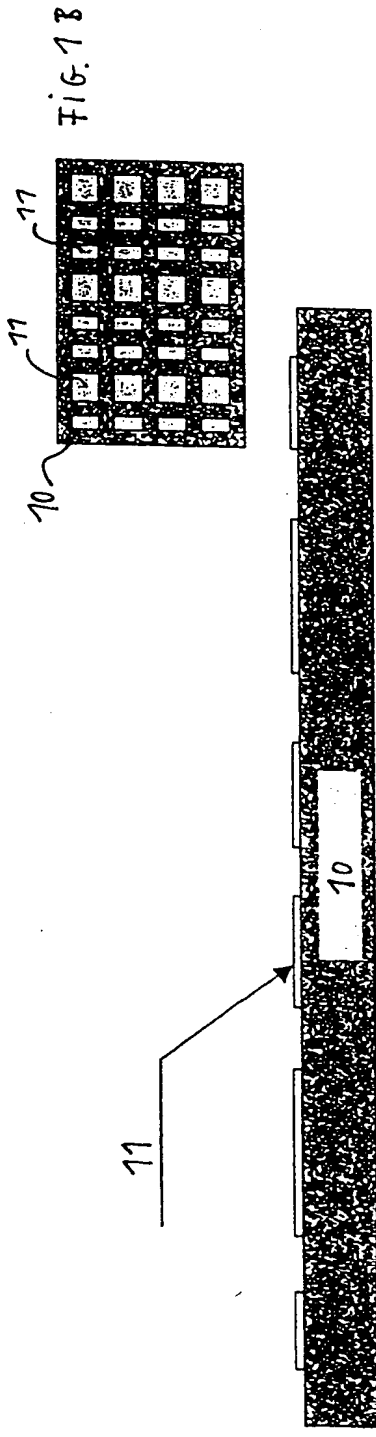


FIG. 1A

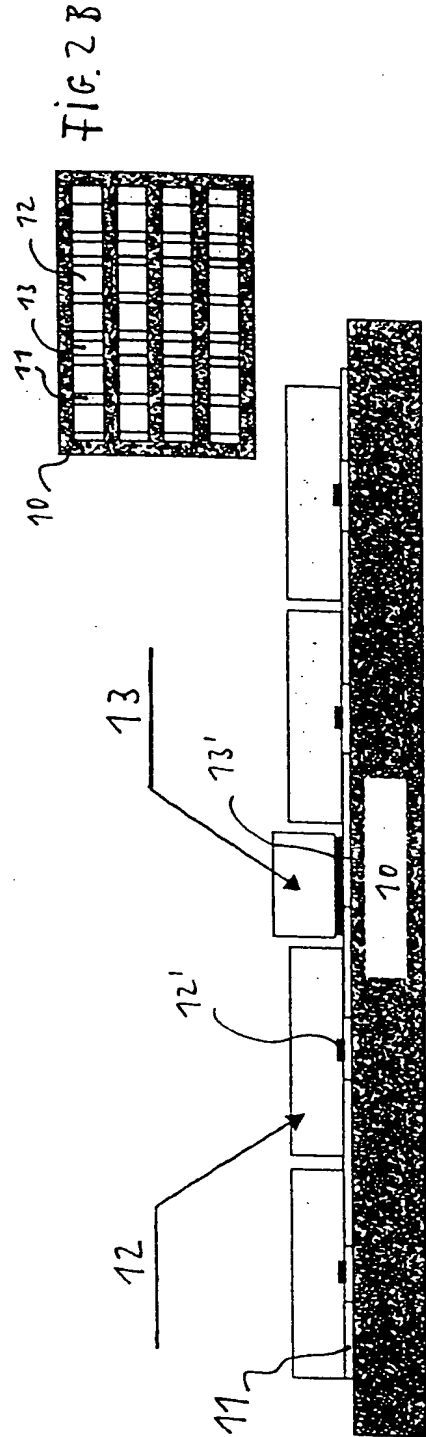


FIG. 2A

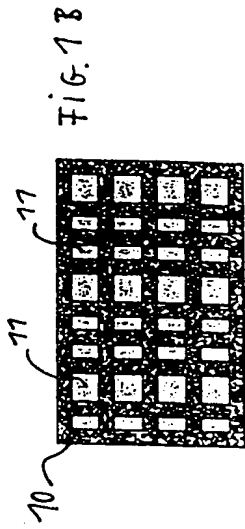


FIG. 1B

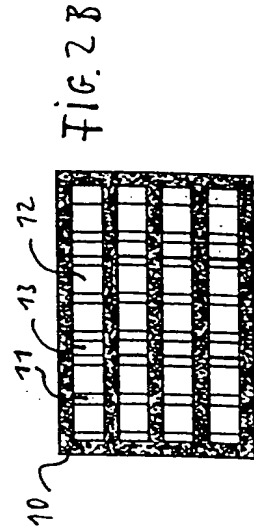
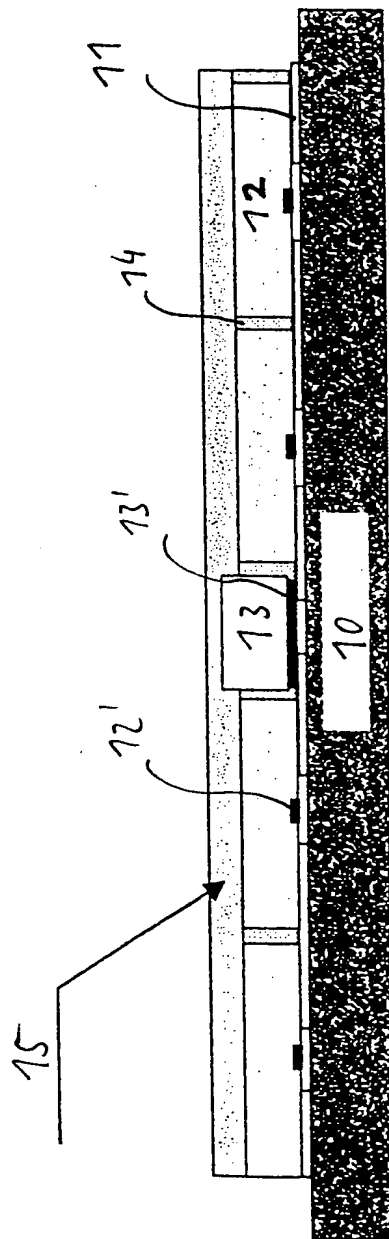
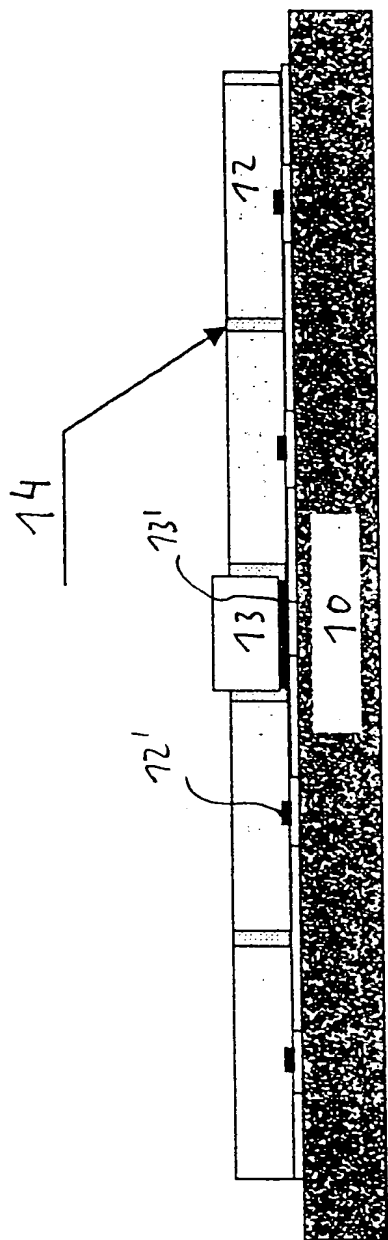


FIG. 2B

2/10



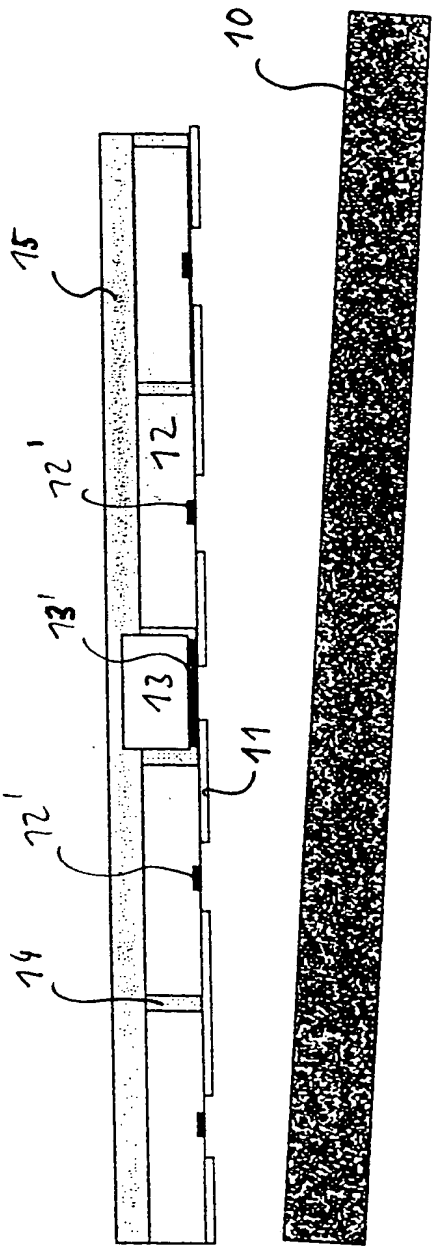


FIG. 4

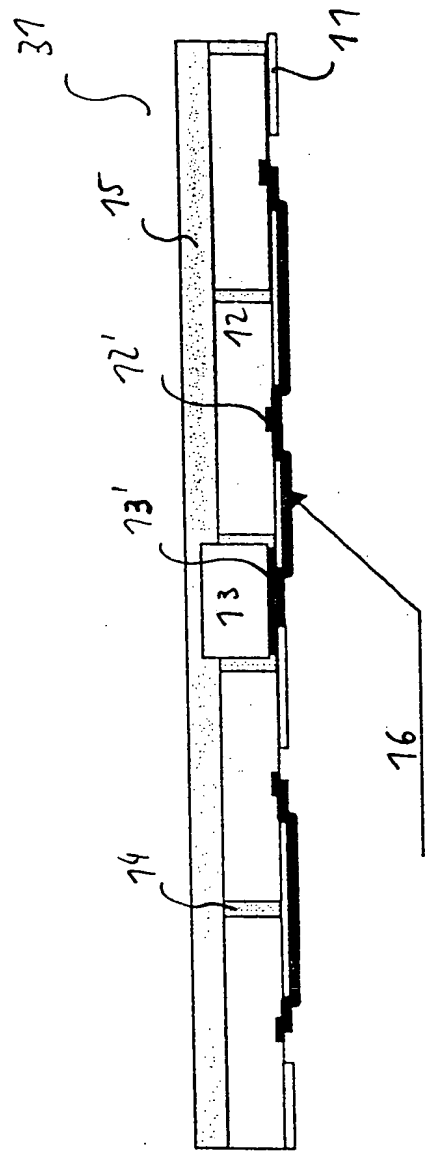


FIG. 5

4/10

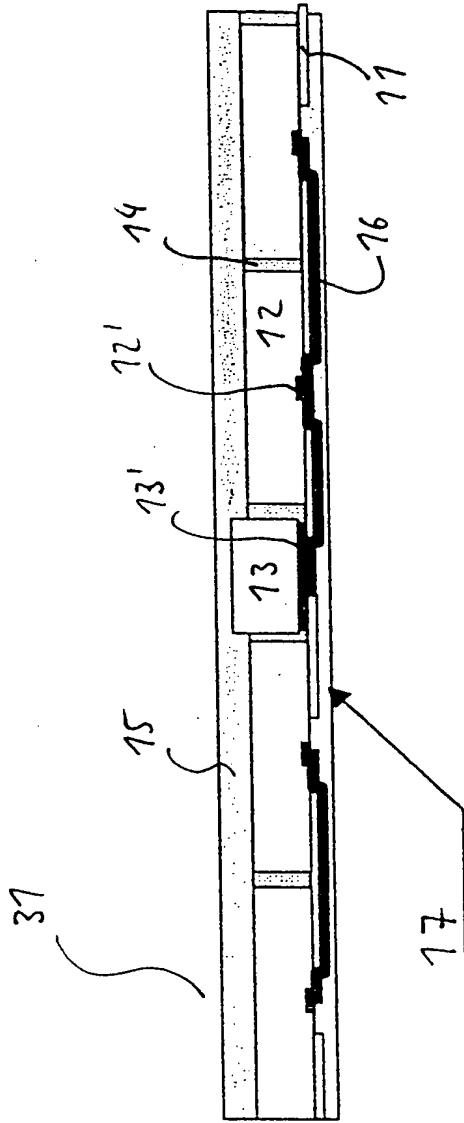


FIG. 6A

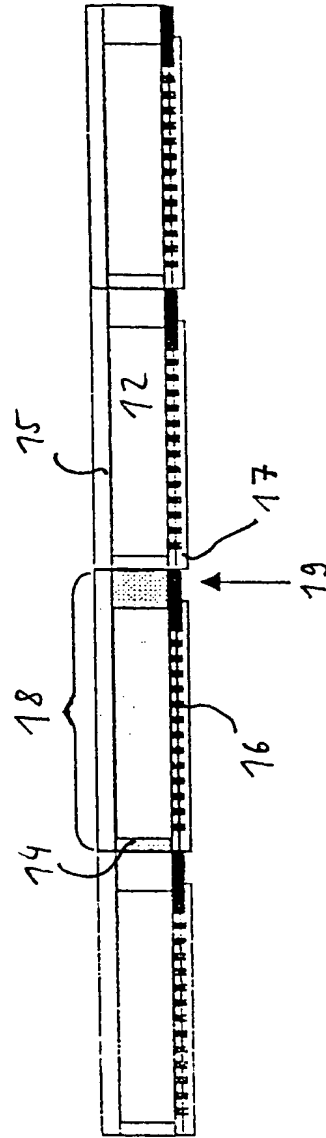


FIG. 6B

5/10

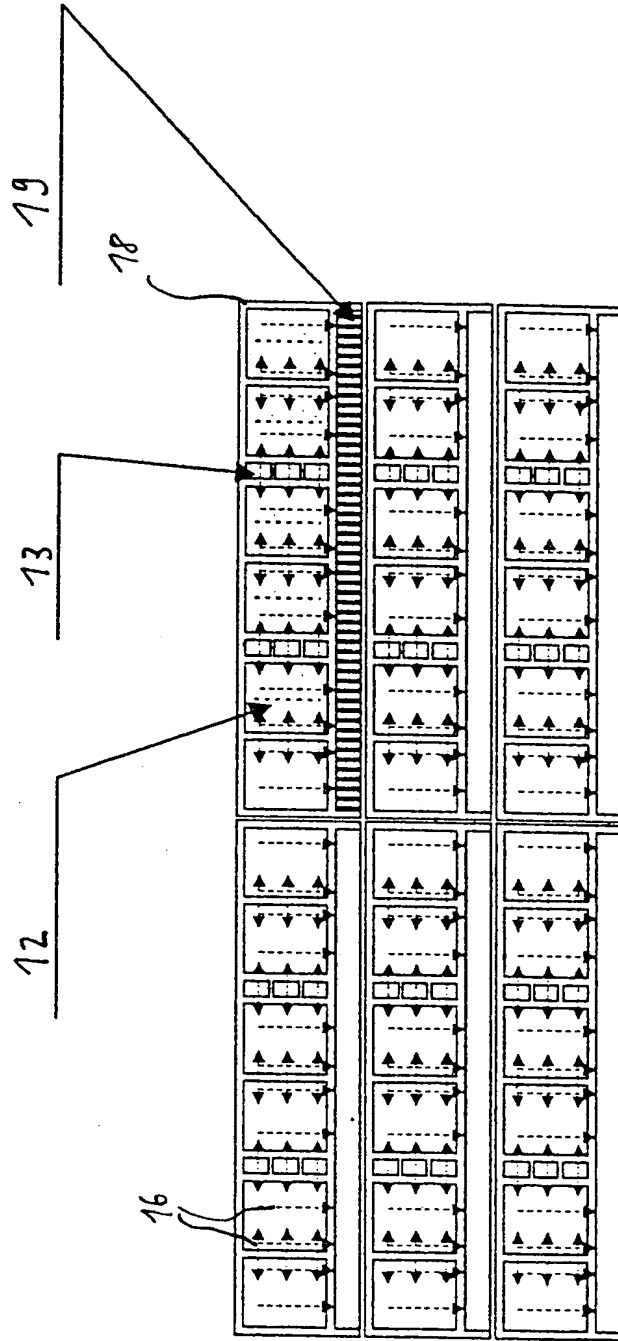
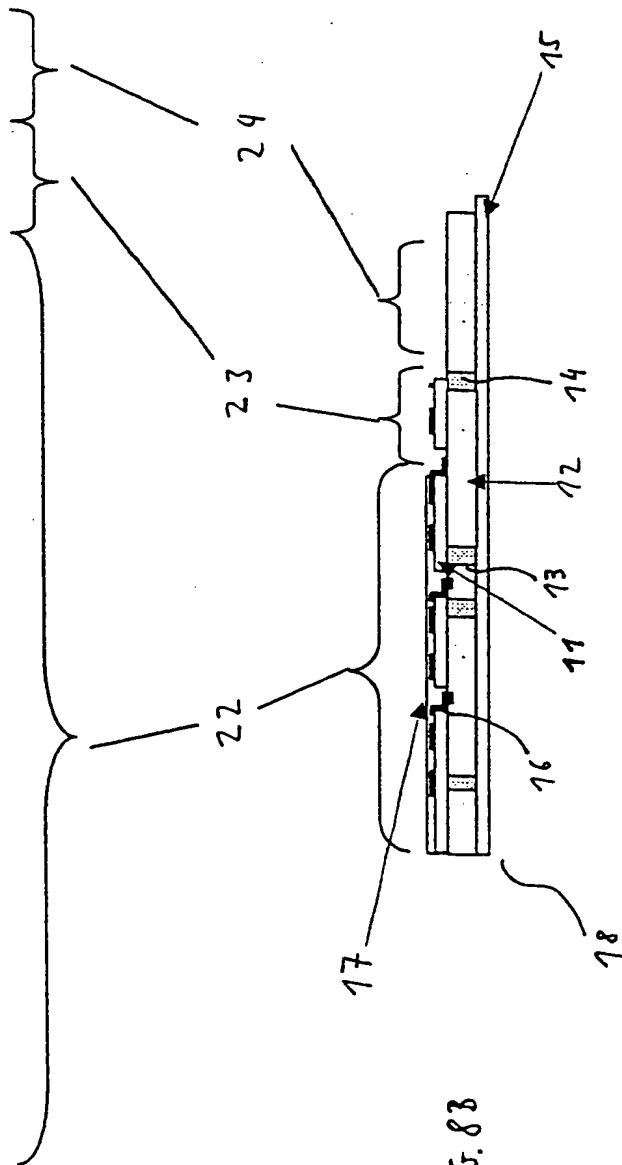
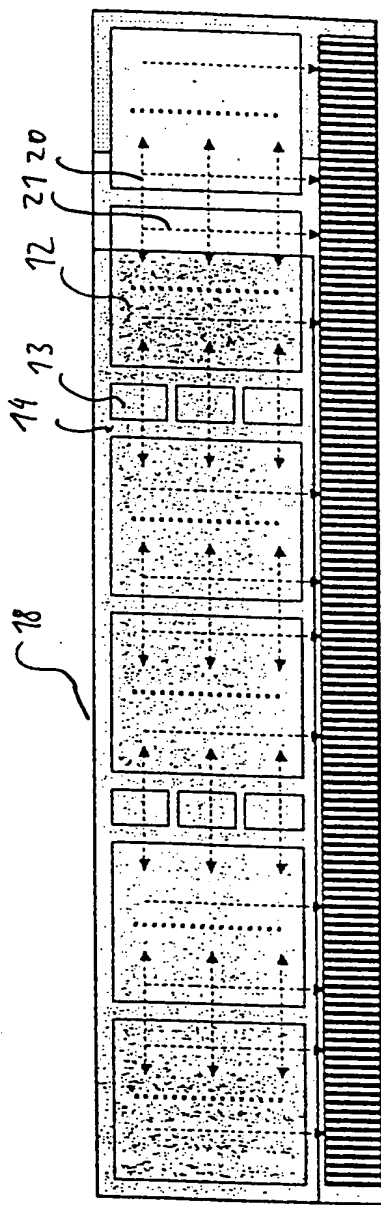
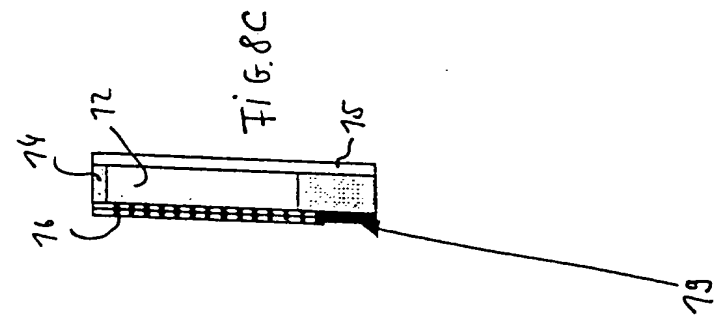


FIG. 7

→ 20
↓ 21

6/10



7/10

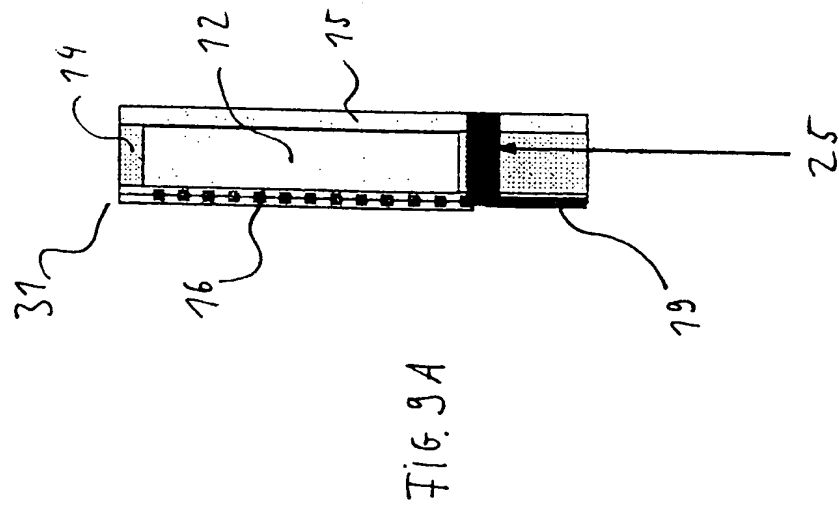
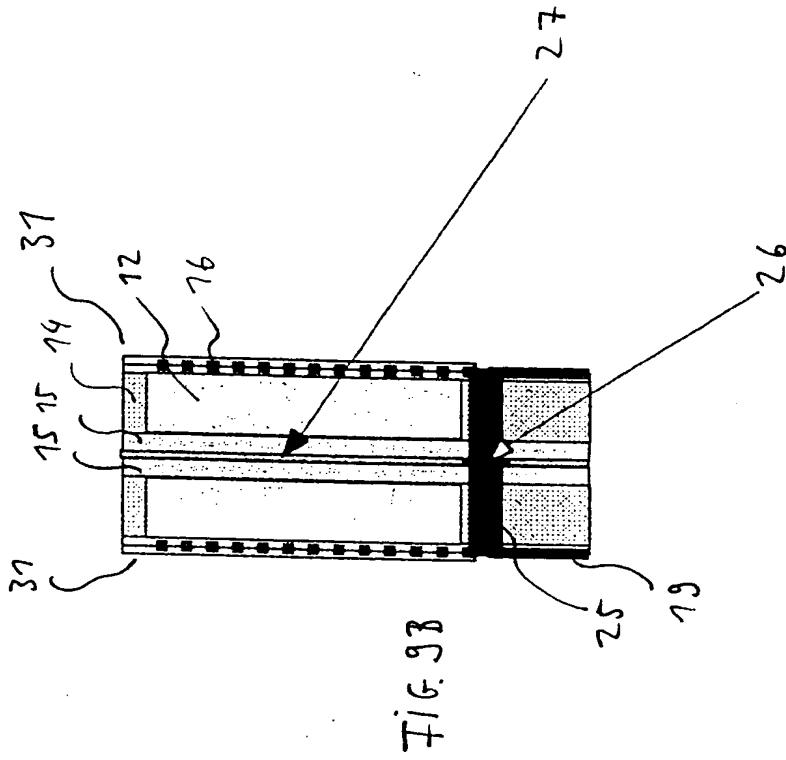


Fig. 113

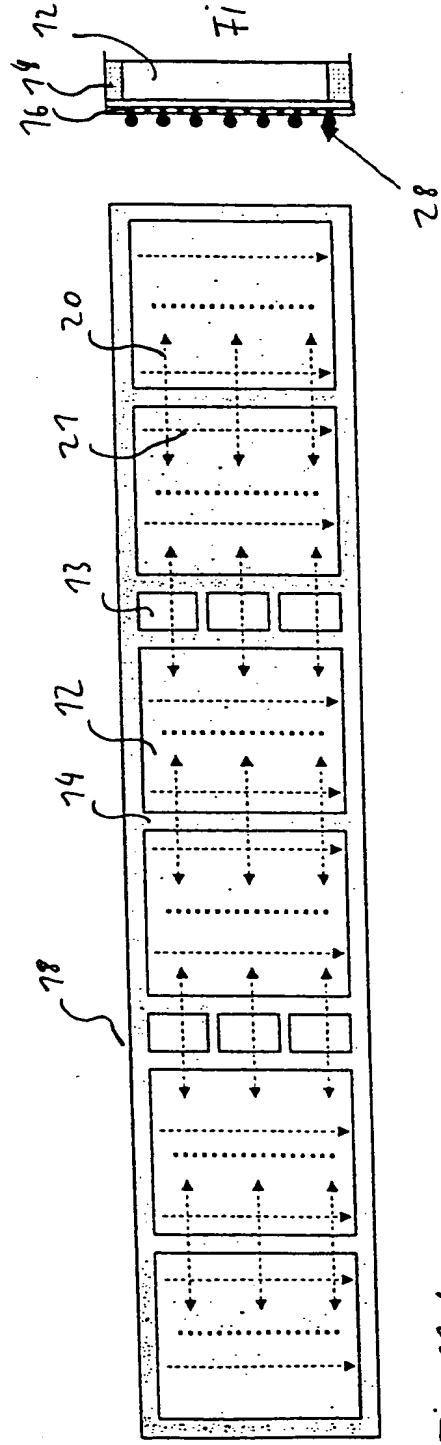


FIG. 17A

9/10

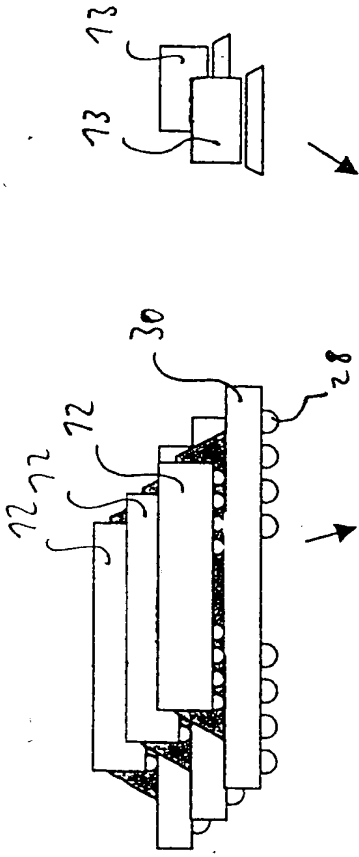


FIG. 12

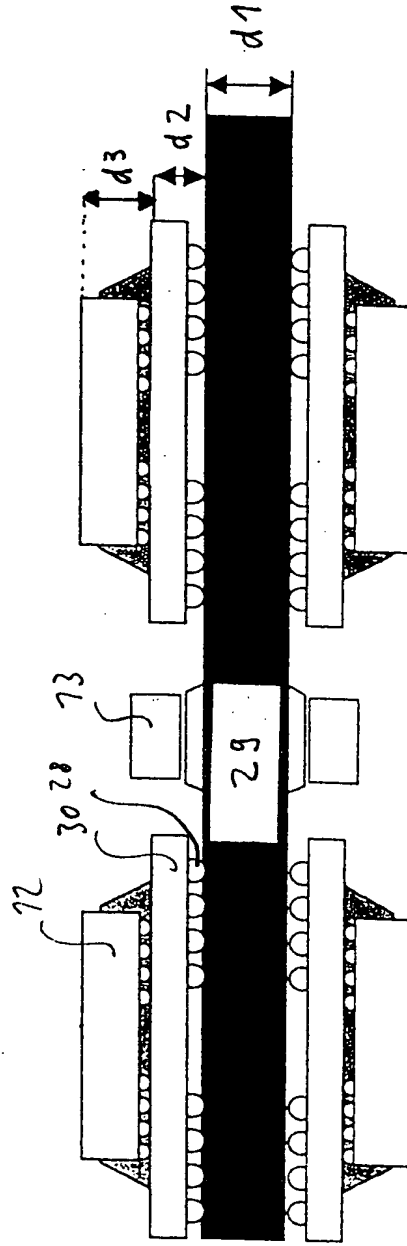


FIG. 13

10/10

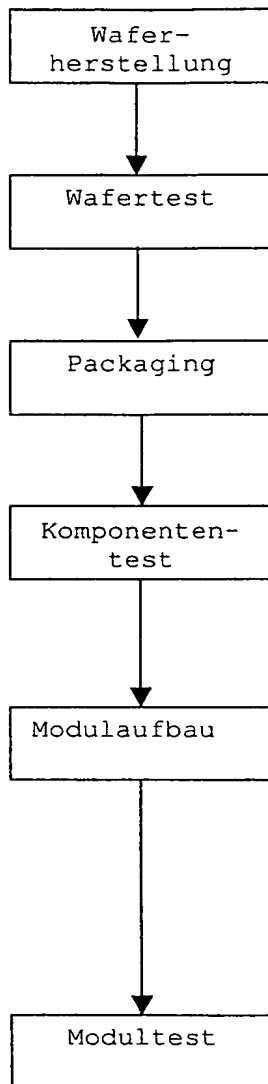


Fig. 14a



Fig. 14b